

**SD メモリ スレーブ コントローラ データシート  
FPGA 実装**

**iW-EMDMC-DS-01**

**R 1.0**

**31<sup>st</sup> May, 2011**

---

## 目次

1. 全般	4
2. 仕様	4
3. ブロック図	6
4. ピン情報	7
5. 機能の説明	10
6. SD メモリ 標準 スレーブ レジスタの概要	11
7. タイミング波形	12
8. リソースの利用	15

---

## 図リスト

図 1: FPGA ブロック図 .....	6
図 2: コマンド to レスポンス波形 .....	12
図 3: 単一ブロックのライト 1ビット モードの波形 .....	13
図 4: 単一ブロックのライト 4ビット モードの波形 .....	13
図 5: 単一ブロックのライト 1ビット モードの波形(ユーザ インターフェイス) .....	14
図 6: 単一ブロックのリードの波形 .....	14

## 表リスト

表 1: システム インターフェイス IO 信号説明 .....	7
表 2: SD メモリ インターフェイス IO 信号説明 .....	7
表 3: ユーザ アプリケーション データ パス インターフェイス IO 信号説明 .....	8
表 4: ユーザ アプリケーション コマンド パス インターフェイス IO 信号説明 .....	9
表 5: レジスタ リスト .....	12
表 6: Actel ProASIC3E 用のデバイス利用の要約 .....	15
表 7: Xilinx Spartan-6 用のデバイス利用の要約 .....	15
表 8: Altera Cyclone IV E 用のデバイス利用の要約 .....	15
表 8: Lattice ECP3 用のデバイス利用の要約 .....	15

## 1. 全般

SD メモリ スレーブ コントローラは、SD メモリや SDIO カードの中に組み込んで設計されます。これは、SD バスと実際にカードを動かすユーザ アプリケーション ロジックとの間のインターフェイスとして機能します。SD メモリ スレーブ コントローラは、Actel Smart fusion FPGA を対象にしています。このスレーブ コントローラは、ユーザ アプリケーションに対し簡単な汎用の 8 ビットインターフェイスを提供します。これは、1 ビット及び 4 ビットモード並びにコマンド、レスポンス、データ伝送用の CRC 生成とチェック機能をサポートします。

SD メモリ スレーブ コントローラは、SD メモリ インターフェイスを介してホストからコマンドを受信します。また、標準的な SD レジスタ セットがスレーブ コントローラ内に実装されており、コアによって処理されます。これは、必須の SD コマンド クラスを全てサポートします。

ユーザ インターフェイス ブロックは、データ伝送用の 8 ビット汎用ユーザ インターフェイスを介して SD スレーブ コントローラとユーザ アプリケーションとの間をインターフェイスします。

ユーザ インターフェイス ブロックは、リード、ライト データ バッファリング用に別々の FIFO を備えています。ユーザ インターフェイス アプリケーション トランザクション用のタイムアウト ロジックをサポートするユーザ ロジックに WDT が実装されています。

## 2. 仕様

SD メモリ スレーブ コントローラの主要な仕様は、下記の通り:

- SD 物理仕様書 Version 2.00 に準拠
- 1-ビット及び 4-ビット SD モードをサポート
- 標準及び大容量オペレーションをサポート
- デフォルト及び高速モードのオペレーションをサポート
- 必須のスレーブ レジスタ セットを全てサポート
- CID レジスタ領域は、ヘッダーファイルで設定が可能
- 標準コマンド セットのみをサポート
- 必須の SD コマンドクラスを全てサポート
- クラス 0(ベーシック コマンド)
  - CMD0
  - CMD2

- CMD3
- CMD6
- CMD7
- CMD8
- CMD9
- CMD10
- CMD12
- CMD13
- CMD15
- クラス 2(ブロック リード コマンド)
  - CMD16
  - CMD17
  - CMD18
- クラス 4(ブロック ライト コマンド)
  - CMD16
  - CMD24
  - CMD25
- クラス 5(消去 コマンド)
  - CMD32
  - CMD33
  - CMD38
- クラス 8(アプリケーション固有)
  - CMD55
  - ACMD6
  - ACMD13
  - ACMD22
  - ACMD23
  - ACMD41
  - ACMD42
  - ACMD51
- クラス 10(スイッチ コマンド)
  - CMD6
- コマンド/レスポンス用の CRC7 チェック/生成
- データ伝送の CRC16 チェック/生成
- ブロック長 最大 512 バイトをサポート
- 単一及び複数ブロックのリード、ライト及びデータ伝送をサポート
- Partial and Misalign ブロック長オプションをサポート
- SD メモリのみ実装

- IP は、ユーザアプリケーション用に簡単な汎用 8 ビット インターフェイスを提供
- コンボ カード機能はサポートしない
- SPI モードはサポートしない
- カードの ロック/アンロック はサポートしない

### 3. ブロック図

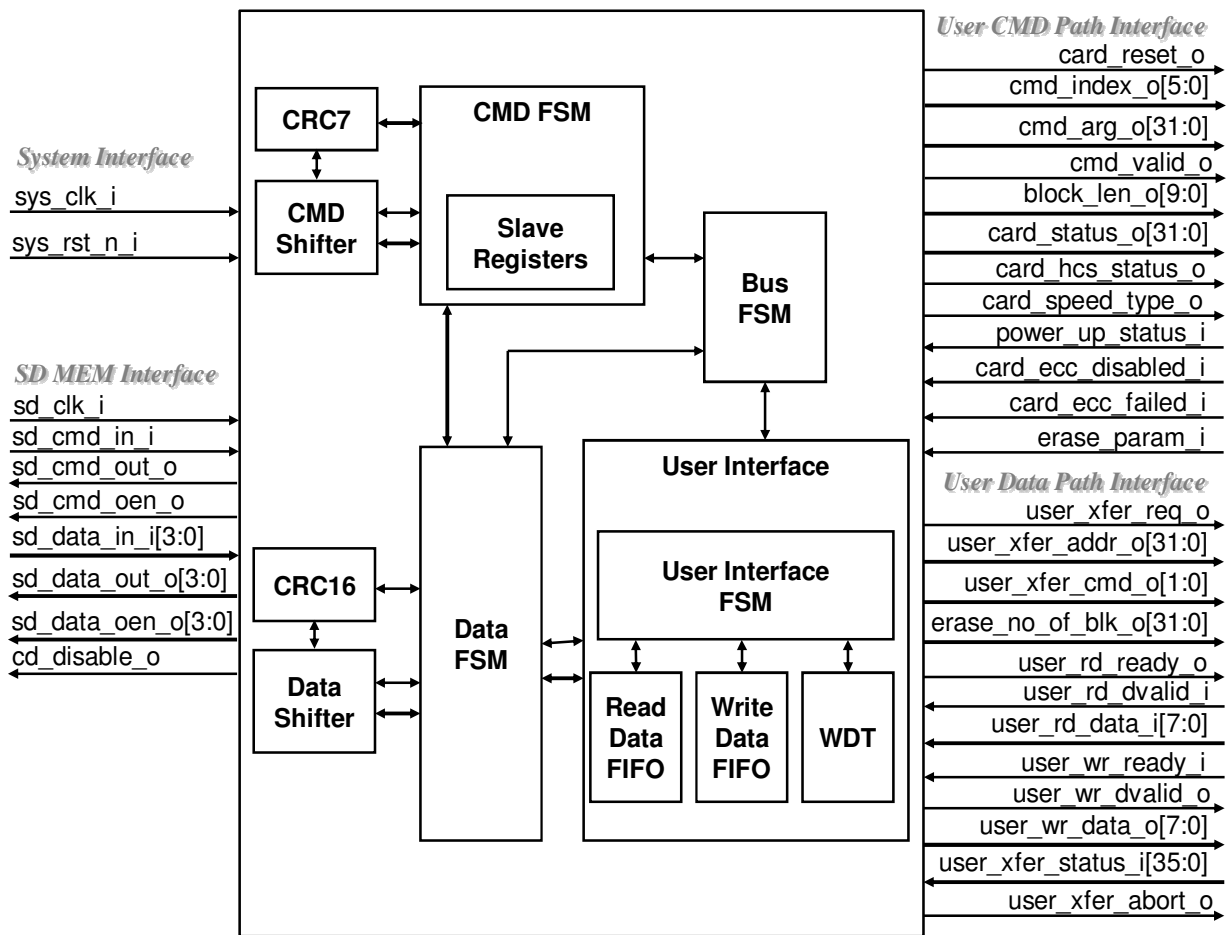


図 1:FPGA ブロック図

## 4. ピン情報

表 1: システム インターフェイス IO 信号説明

信号	タイプ	幅	説明
sys_rst_n_i	I	1	システム リセット Active Low Asynchronous リセット入力
sys_clk_i	I	1	システム クロック FPGA への入力クロック、このクロックをユーザロジックに使用

表 2: SD メモリ インターフェイス IO 信号説明

信号	タイプ	幅	説明
sd_clk_i	I	1	SDIO Bus クロック入力.
sd_cmd_in_i	I	1	SDIO コマンド入力
sd_cmd_out_o	O	1	SDIO レスポンス出力
sd_cmd_oen_o	O	1	SDIO 出力エネーブル
sd_data_in_i	I	4	SDIO データ入力
sd_data_out_o	O	4	SDIO データ出力
sd_data_oen_o	O	4	SDIO データ エネーブル 出力
cd_disable_o	O	1	10K-90K オーム プルアップ抵抗の着脱 プルアップは、カードの検出に使用 0 → 接続 1 → 不接続

表 3: ユーザ アプリケーション データ パス インターフェイス IO 信号説明

信号	タイプ	幅	説明
user_xfer_req_o	O	1	ユーザ アプリケーション リクエスト信号 全ての新たなコマンド毎に、1クロック サイクルの間にユーザ リクエストをアサート
user_xfer_addr_o[31:0]	O	32	ユーザ アプリケーション アドレス 出力 標準容量のカード → バイト ユニット内 大容量のカード → ブロック(512 バイト) ユニット
user_xfer_cmd_o[1:0]	O	2	ユーザ アプリケーション コマンド出力 00 → 消去コマンド 01 → 消去、事後ライト コマンド 10 → ライト コマンド 11 → リード コマンド
erase_no_of_blk_o[31:0]	O	32	消去するブロック番号を表す このフィールドは、user_xfer_cmd_o が“00” 又は “01”の時に有効
user_rd_ready_o	O	1	ユーザ アプリケーション リード準備完了信号。 この信号は、SD スレーブ コントローラのデータ受信準備完了を表す
user_rd_dvalid_i	I	1	ユーザ アプリケーション リードデータ有効信号 user_rd_data_i bus で有効な信号が得られる場合は、この信号が大きい
user_rd_data_i[7:0]	I	8	ユーザ アプリケーション リード データ バス入力 SD スレーブ コントローラは、user_rd_ready_o 信号及び user_rd_dvalid_i 信号が大きい場合、ユーザ リード データをラッチ
user_wr_ready_i	I	1	ユーザ アプリケーション ライト準備完了入力信号 この信号は、ユーザ アプリケーションのデータ受信準備完了を表す



信号	タイプ	幅	説明
user_wr_dvalid_o	O	1	ユーザ アプリケーション ライト データ有効出力信号  user_wr_data_o bus で有効なライト データが得られる場合、SD スレーブ コントローラはハイになる
user_wr_data_o[7:0]	O	8	ユーザ アプリケーション ライト データ出力バス.
user_txfer_status_i[35:0]	I	36	ユーザ伝送状態入力  [35] -> 消去成功 [34] -> 消去失敗 [33] -> ライト成功 [32] -> ライト失敗 [31:0] -> ライト成功のブロック番号
user_xfer_abort_o	O	1	ユーザ伝送中止信号  ユーザ アプリケーションが長時間レスポンス中の場合、スレーブ コントローラは、実施中の伝送サイクルを中止

表 4: ユーザ アプリケーション コマンド パス インターフェイス IO 信号説明

信号	タイプ	幅	説明
card_reset_o	O	1	アクティブ ハイ カード リセット出力信号
cmd_index_o[5:0]	O	6	受信 host コマンド出力
cmd_arg_o[31:0]	O	32	受信 host コマンド 引数出力
cmd_valid_o	O	1	受信 host コマンド 有効出力
block_len_o[9:0]	O	10	SD ブロック長出力
card_status_o[31:0]	O	32	SD スレーブ カード 状態 レジスタ出力

信号	タイプ	幅	説明
card_hcs_status_o	O	1	SD スレーブ カード 容量タイプ出力 0 - SD スレーブを標準容量カードに設定 1 - SD スレーブを大容量カードに設定
card_speed_type_o	O	1	SD スレーブ カード 速度タイプ出力 0 - SD スレーブは、デフォルトの速度 (25MHz)で動作 1 - SD スレーブは、高速モード(50 MHz)で動作
power_up_status_i	I	1	パワー アップ状態入力
card_ecc_disabled_i	I	1	カード ECC ディスエーブル状態入力
card_ecc_failed_i	I	1	カード ECC 失敗状態入力
erase_param_i	I	1	消去発生時のライトブロックの無効な選択

## 5. 機能の説明

SD メモリ スレーブ コントローラは、Actel Smart Fusion FPGA を対象にしております。各ブロックの説明は、以下の通りです。:

- **コマンド FSM:** コマンド パス ステート マシンは、コマンドの受信とレスポンスの送信を制御します。オペレーション モードに基づき、シフター及び CRC7 ブロックに適切なコントロール信号を生成します。また、CRC7 ブロック及びスレーブ FSM からの入力に基づき、仕様書に記述されたルールでコマンドを解析し適切なレスポンス出力を生成します。全てのコマンドで、エラーは該当レスポンスのレスポンスフラッグで更新されます。
- **コマンド シフター:** コマンド トランスミッター及びレスポンス レシーバ ブロックには、128-ビットの“シフト レジスタ”があります、これはコマンドビットを受信、シフトして Host に対しレスポンスビットを送信するのに使用します。全部のコマンドを受信した後に、その後の処理のため値をラッチしてコマンド FSM に渡します。また、入ってくる一連のコマンドデータは、CRC チェックのために CRC7 ブロックに渡されます。一連のレスポンスデータもまた CRC 値を計算するため CRC7 ブロックに渡されます。レスポンスの送信間に 7 ビットの CRC を付加します。

- **CRC7:** CRC7 モジュールは、SD レスポンスブロックで作られた 48 ビットのレスポンスの CRC チェックサムを作成します。また、スタート ビット、送信ビット、コマンド インデックス及びコマンド引数（又はカード状態）用に CRC チェックサムを計算します。crc7\_calc\_o が算出した CRC 値は、SD コマンド FSM により crc7\_shift\_i がアサートされた場合レスポンス データの後にシフトアウトされます。
- **スレーブ FSM:** SD スレーブ バス ステート マシンは、SD メモリ コントローラの全体的なオペレーションをコントロールします。また、バス状態及びそれと SD コマンドとの関係を定義します。個々の状態と一緒に表された受容コマンドは、SD モードのオペレーションに適用されます。
- **データ FSM:** データ FSM ブロックは、リードオペレーション間に SD カードから host に送信されるデータ及びライトオペレーション間に host から SD カードで受信されるデータの処理をコントロールします。
- **データ シフター:** データ トランスミッタ及び レスポンス レシーバ ブロックは、8-ビットの“シフト レジスタ”を持っており、データパスとして SD は 4 ビットモード若しくは 1 ビットモードで動作するため、シフターに保存されているデータは、送信間に 1 ビットずつ或いは 4 ビットずつのデータ ライン/sでシフトアウトされます。同様に受信間に、1 ビットずつ若しくは 4 ビットずつシフターに入ってくるデータは、シフトインされ、蓄積されます。
- **CRC16:** データ送信間、CRC ジェネレータは、単一ブロックの全データビットの CRC チェックサムを計算します。データ FSM モジュールが一連のデータの送信を完了すると、crc16\_shift\_i 入力をアサートして一連の CRC16 値のシフトが可能になります。また、同じモジュールがデータ受信間の CRC チェッカーとして働きます。CRC は受信データが終わって計算され、CRC 値はゼロになります。4 ビットモードのデータでは、CRC 16は各データラインごと別々に計算されます。
- **ユーザ インターフェイス:** ユーザ インターフェイス ブロックは、データ送信用の 8 ビットの汎用ユーザ インターフェイスを介して SD スレーブ コントローラ及びユーザ アプリケーションとインターフェイスします。ユーザ アプリケーションは、リード及びライト データのバッファ用に別々の FIFO を保有しています。WDT は、ユーザ インターフェイスのやり取りのシステム タイムアウト ロジックを実行するためユーザ ロジック内に実装されています。

## 6. SD メモリ 標準 スレーブ レジスタの概要

SD メモリ スレーブ コントローラのレジスタは以下の通りです。

表 5: レジスタ リスト

Sl. No	レジスタ	幅	リード/ライト	アドレス オフセット
1.	カード識別レジスタ(CID)	128	R	-
2.	関連カード アドレス レジスタ(RCA)	16	R	-
3.	保存用のカード固有データ レジスタ (CSD)	128	R	-
4.	大容量保存用のカード固有データ レジスタ(CSD)	128	R	-
5.	SD カード 設定 レジスタ(SCR)	64	R	-
6.	運用条件レジスタ(OCR)	32	R	-
7.	SD 状態レジスタ(SSR)	512	R	-
8.	カード状態レジスタ(CSR)	32	R	-

## 7. タイミング波形

下記の波形は、SD メモリ スレーブ コントローラのタイミングダイヤグラムを表しています。

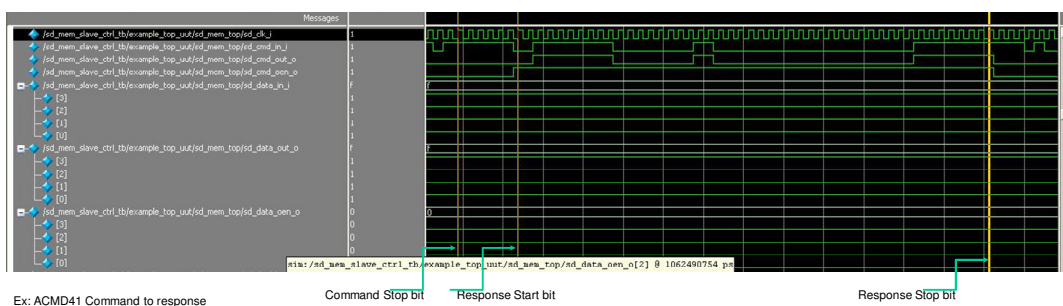


図 2: コマンド to レスポンス波形

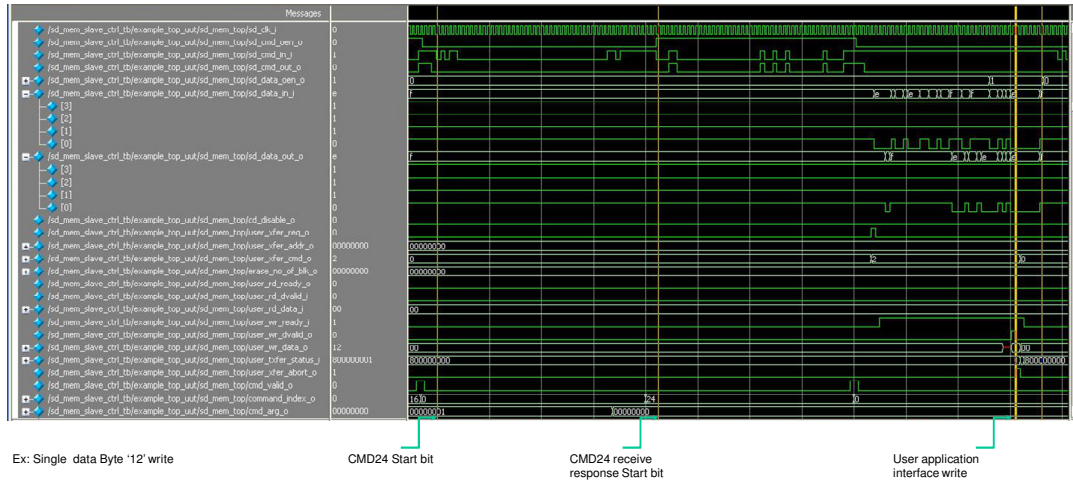


図 3: 単一ブロックのライト 1 ビット モードの波形

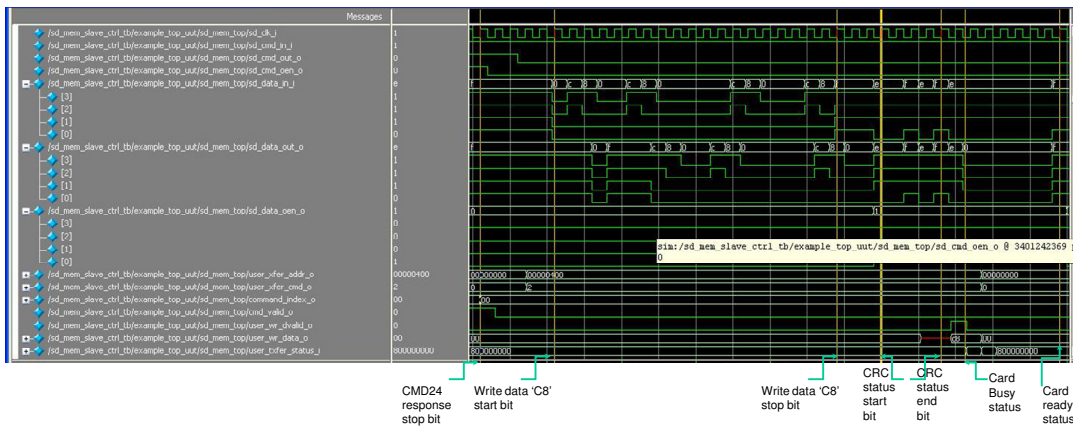


図 4: 単一ブロックのライト 4 ビット モードの波形

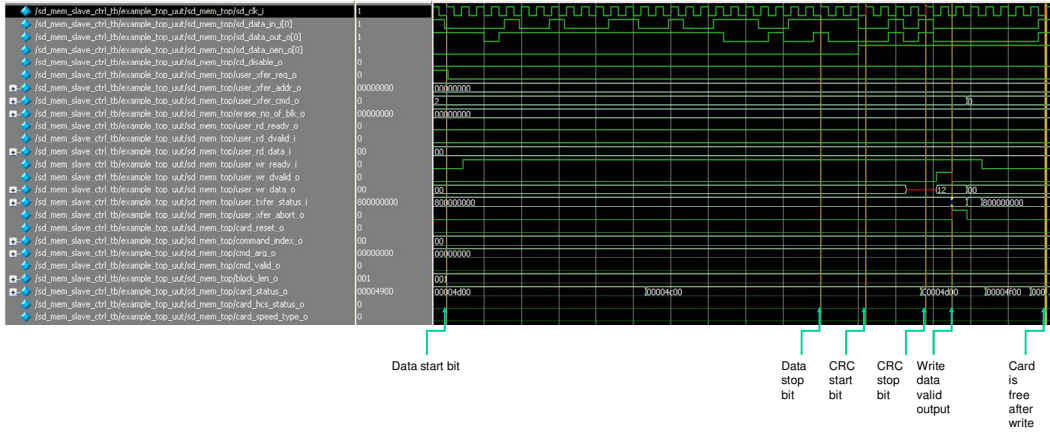


図 5: 単一ブロックのライト 1 ビット モードの波形(ユーザ インターフェイス)

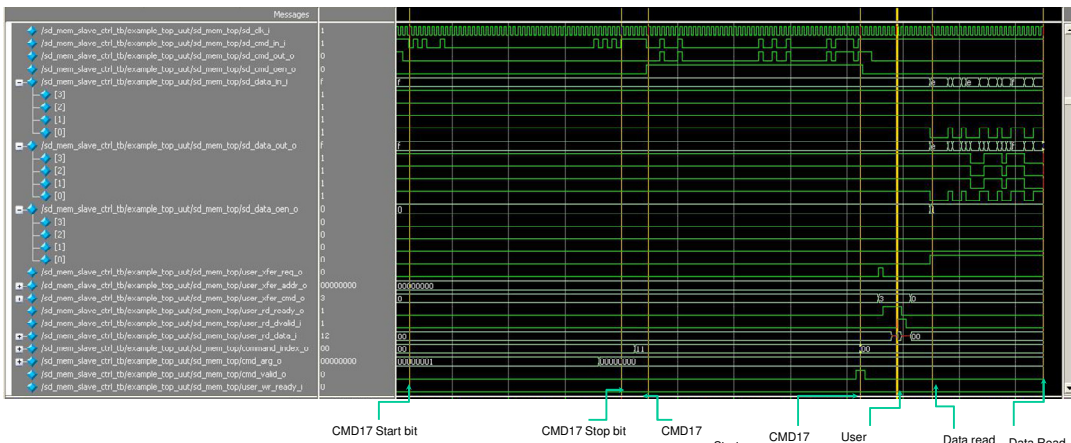


図 6: 単一ブロックのリードの波形

## 8. リソースの利用

下表に、FPGA 用の SD メモリ スレーブ コントローラの実装からの利用の要約を示します。

表 6: Actel ProASIC3E 用のデバイス利用の要約

ロジックの利用	利用数
Core SEQ の数	2358
Core COMB の数	3642
RAM /FIFO ブロックの数	4
IO の数	220

表 7: Xilinx Spartan-6 用のデバイス利用の要約

ロジックの利用	利用数
Slice レジスタの数	1512
Slice LUT の数	1405
RAMB8BWER の数	2
IO の数	220

表 8: Altera Cyclone IV E 用のデバイス利用の要約

ロジックの利用	利用数
ロジック エLEMENTの組み合わせの数	1803
ロジック エLEMENT レジスタの数	1496
メモリ ビットの数	16384
ピンの数	220

表 9: Lattice ECP3 用のデバイス利用の要約

Logic Utilization	Used
Number of Slice	2503
Number of PIO	220